

Микросхема K589IP12

Микросхема K589IP12 — многорежимный буферный регистр (МБР), является универсальным 8-разрядным регистром с выходами, имеющими три состояния. Он имеет встроенную логическую схему и независимый триггер для формирования запроса на прерывание центрального процессора. Одни или несколько МБР могут использоваться для реализации многих типов интерфейсных и вспомогательных устройств, включая: простые регистры данных; буферные регистры со стробированием данных; мультиплексоры; двунаправленные шимые формирователи; прерываемые каналы ввода/вывода и др.

Условное графическое обозначение микросхемы приведено на рис. 11 назначение выводов — в табл. 15, структурная схема показана на рис. 12.

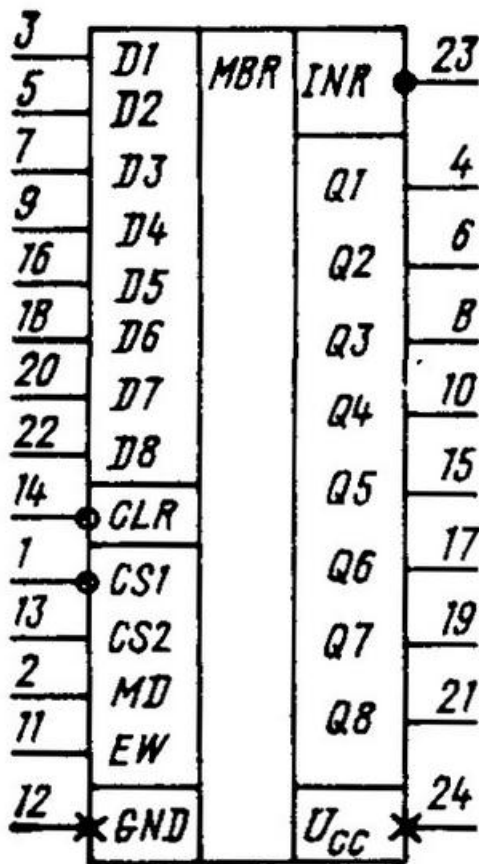
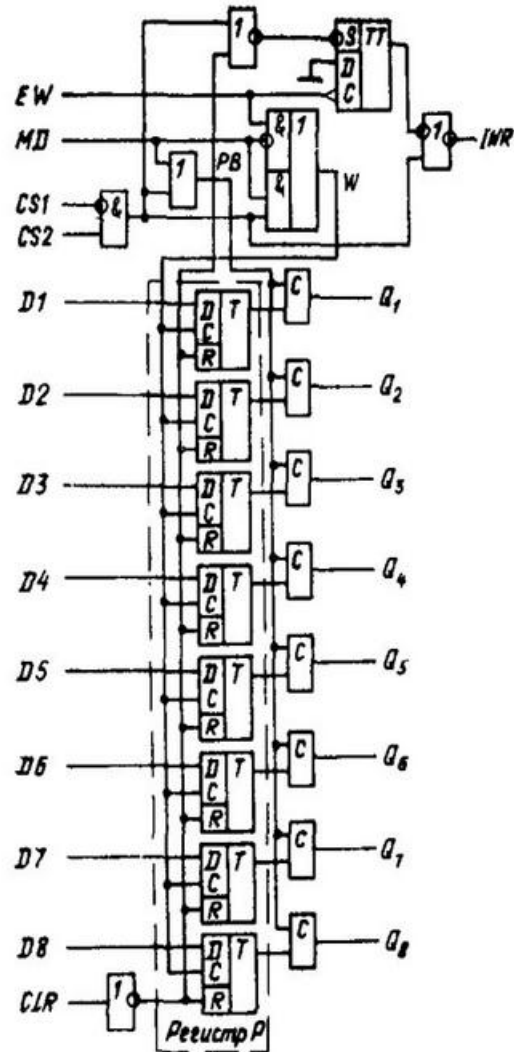


рис. 11



Вывод	Обозначение	Тип вывода	Функциональное назначение выводов
1, 13 2 3, 5, 7, 9, 16, 18, 20, 22 4, 6, 8, 10, 15, 17, 19, 21	<i>CS1, CS2</i> <i>MD</i> <i>D1—D8</i>	Входы Вход Входы	Выбор кристалла Выбор режима Информация
11 12 14 23 24	<i>EW</i> <i>GND</i> <i>GLR</i> <i>INR</i> <i>Ucc</i>	Выходы Вход — Вход Выход —	Информация Стrobe-сигнал Общий Установка нуля Запрос прерывания Напряжение питания

Микросхема состоит из восьми информационных D-триггеров, восьми выходных буферных устройств с тремя устойчивыми состояниями, отдельного D-триггера для формирования запросов на прерывание и гибкой схемы управления режимами работы регистра.

Информационные D-триггеры повторяют входную информацию при высоком уровне входного сигнала *MD* ($CS1 - CS2 = 1$), а также при $EW=1$ и $MD=0$, при низком уровне сигнала на входе *EW* ($CS1 - CS2 = 1$ при $MD=0$) происходит хранение входной информации. Выходы каждого информационного триггера соединены с выходными буферными каскадами с тремя устойчивыми состояниями. Внутренняя шина выдачи информации *PB* стробирует каждый выходной буферный каскад. При наличии лог. 1 на шине *PB* выходные буферные каскады разблокированы и данные поступают на выход соответствующей линии выходных данных (*Q1—Q8*). Условие выработки появления сигнала: $PB=MDV_{CS1-CS2}$. Внутренняя шина записи информации *W* стробирует каждый триггер регистра. При наличии лог. 1 на шине происходит запись информации в триггер с соответствующих входных информационных шин (*D1—D8*). Условие появления сигнала: $W=EW \wedge MDV_{MD-CS1} \wedge X_{CS2}$. Информация в триггерах МБР обнуляется асинхронно входным сигналом *CLR*.

В МБР управляющими входами являются *CS1, CS2, MD* и *EW*. Эти входы используются для управления выборкой устройства, информацией регистра, состоянием выходных буферных каскадов и триггером запроса на прерывание.

Выборкой кристалла управляют входы *CS1* и *CS2*. При наличии лог. 0 на входе *CS1* и лог. 1 на входе *CS2* устройство выбрано. Сигнал выборки кристалла (*CS1, CS2*) используется как синхросигнал для асинхронной установки состояния выходных буферных каскадов регистра и триггера запроса прерывания.

Вход *MD* (выбор режима) определяет один из двух режимов работы. При наличии лог. 0 на входе *MD* устройство работает в режиме ввода. В этом режиме, выходные буферные каскады открыты, когда устройство выбрано. Управление записью осуществляется сигналом по входу *EW*.

При наличии лог. 1 на входе *MD* устройство работает в режиме вывода. В этом случае выходные буферные каскады открыты независимо от выборки устройства.

Вход *EW* используется как синхросигнал для записи информации в регистр при $MD = 0$ и для синхронной установки триггера запроса прерывания.

Триггер запроса прерывания служит для выработки сигнала запроса прерывания в процессорной системе.

При установке системы в исходное состояние низким уровнем сигнала *CLR* триггер запроса прерывания устанавливается в 1, т. е. данное устройство не требует прерывания. Одновременно этим же сигналом происходит установка регистра в 0. Принято, что МБР находится в состоянии прерывания, когда выходу *INR* соответствует лог. 0, что позволяет обеспечить прямое соединение с входами запроса блока приоритетного прерывания. При работе в режиме ввода (т. е. на входе *MD* сигнал низкого уровня) входной сигнал *EW* производит запись информации в регистр данных и установку триггера запроса в 0. Триггер запроса прерывания устанавливается в 1 при условии выбора устройства (также вырабатывается сигнал прерывания на выходе *INR*).

В табл. 16 и 17 — статические и динамические параметры МБР соответственно.

Таблица 16

Параметр	Обозначение	Значения параметров [макс (мин.)]
Ток потребления, мА	I_{CC}	130
Входной ток низкого уровня при $U_{IL}=0,45$ В, мА:	I_{IL}	
для входа $CS1$		(-1,0)
для входа MD		(-0,75)
для остальных входов		(-0,25)
Входной ток высокого уровня при $U_{IH}=5,25$ В, мкА	I_{IH}	
для входа $CS1$		40
для входа MD		30
для остальных входов		10
Выходной ток высокого уровня в состоянии «выключено» для выходов $Q1-Q8$ при $U_{OH}=5,25$ В, мкА	I_{OZH}	100
Выходное напряжение низкого уровня при $I_H=15$ мА, В	U_{OL}	0,5
Выходное напряжение высокого уровня при $I_H=-1$ мА, В	U_{OH}	(3,65)

Таблица 17

Параметр	Обозначение	Значения параметров [макс (мин.)]
Длительность импульса, нс	t_W	(25)
Время установления информации на входах $D1-D8$ относительно сигнала EW , нс	$t_S (D-EW, L)$	(15)
Время сохранения информации на входах $D1-D8$ относительно сигнала EW , нс	$t_H (EW, L-D)$	(20)
Время задержки распространения сигнала, нс.		
от входов $EW, \overline{CS1}, CS2$ до выходов $Q1-Q8$	$t_P (EW, H-Q)$	40
от входа CLR до выходов $Q1-Q8$	$t_P (CLR, L-Q)$	45
от входов $D1-D8$ до выходов $Q1-Q8$	$t_P (D-Q)$	30
от входа EW до выхода INR	$t_P (EW, L-INR, L)$	40
от входов $\overline{CS1}, CS2$ до выхода INR	$t_P (CS, H-INR)$	30
Время задержки перехода от входов $\overline{CS1}, CS2$ до выходов $Q1-Q8$, нс	$t_E (CS, H-Q)$	45
	$t_D (CS, L-Q)$	45