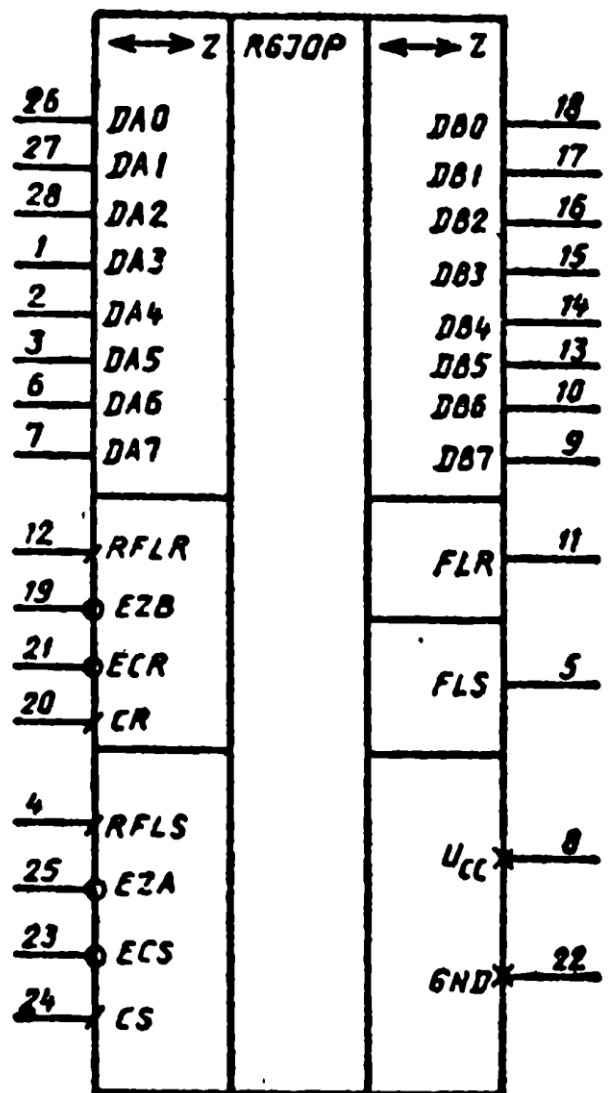


К1804ИРЗ, КМ1804ИРЗ, КС1804ИРЗ

Микросхемы представляют собой 8-разрядный параллельный двунаправленный регистр и предназначены для использования в качестве параллельного, наращиваемого по разрядности двунаправленного порта ввода/вывода данных в составе цифровых вычислительных устройств. Имеют два 8-разрядных параллельных регистра, включенных встречно-параллельно между входами данных, отдельное управление регистрами (тактирование, флаги, очистка флагов), выходы с тремя состояниями. Состоят из двух регистров, включенных через буферные схемы с тремя состояниями между двунаправленными 8-разрядными шинами $DA0...DA7$, $DB0...DB7$. Каждый из регистров имеет отдельные входы тактового сигнала (CR , CS), разрешения записи (\overline{ECR} , \overline{ECS}) и отдельный флаговый триггер ($Tr.R$, $Tr.S$), который устанавливается в состояние лог.1 при записи данных в соответствующий регистр.

Содержат 1206 интегральных элементов. Корпус типа 2121.28-6, 2121.28-18.01, масса не более 5 г.

Назначение выводов: 1 — вход 3-го разряда R регистра, выход 3-го разряда S регистра; 2 — вход 4-го разряда R регистра, выход 4-го разряда S регистра; 3 — вход 5-го разряда R регистра, выход 5-го разряда S регистра; 4 — управление очищением FLS триггера; 5 — выход FLS триггера; 6 — вход 6-го разряда R регистра, выход 6-го разряда S регистра; 7 — вход 7-го разряда R регистра, выход 7-го разряда S регистра; 8 — напряжение питания; 9 — вход 7-го разряда S регистра, выход 7-го разряда R регистра; 10 — вход 6-го разряда S регистра, выход 6-го разряда R регистра;



Условное графическое обозначение КМ1804ИРЗ

11 — выход *FLR* триггера; 12 — управление очищением *FLR* триггера; 13 — вход 5-го разряда *S* регистра, выход 5-го разряда *R* регистра; 14 — вход 4-го разряда *S* регистра, выход 4-го разряда *R* регистра; 15 — вход 3-го разряда *S* регистра, выход 3-го разряда *R* регистра; 16 — вход 2-го разряда *S* регистра, выход 2-го разряда *R* регистра; 17 — вход 1-го разряда *S* регистра, выход 1-го разряда *R* регистра; 18 — вход 0-го разряда *S* регистра, выход 0-го разряда *R* регистра; 19 — разрешение выхода для *R* регистра; 20 — такт для *R* регистра и *FLR* триггера; 21 — разрешение такта для *R* регистра и *FLR* триггера; 22 — общий; 23 — разрешение такта для *S* регистра и *FLS* триггера; 24 — такт для *S* регистра и *FLS* триггера; 25 — разрешение выхода для *S* регистра; 26 — вход 0-го разряда *R* регистра, выход 0-го разряда *S* регистра; 27 — вход 1-го разряда *R* регистра, выход 1-го разряда *S* регистра; 28 — вход 2-го разряда *R* регистра, выход 2-го разряда *S* регистра.

Электрические параметры

Номинальное напряжение питания	5 В ±5%
Выходное напряжение низкого уровня	≤ 0,5 В
Выходное напряжение высокого уровня	≥ 2,4 В
Прямое падение напряжения на антизвонном диоде	≤ −1,5 В
Ток потребления при $U_{п} = 5,25$ В	≤ 275 мА
Ток короткого замыкания на выходе	−30...−85 мА
Входной ток низкого уровня:	
по выводам 1...3, 6, 7, 9, 10, 13...18, 26...28	≤ −0,25 мА
по выводам 19...21, 23...25	≤ −0,36 мА
по выводам 4, 12	≤ −2 мА
Входной ток высокого уровня:	
по выводам 1...3, 6, 7, 9, 10, 13...18, 26...28	≤ 70 мкА
по выводам 19...21, 23...25	≤ 20 мкА
по выводам 4, 12	≤ 100 мкА

Максимальный входной ток высокого уровня ..	≤ 1 мА
Выходной ток высокого уровня в состоянии «выключено»	≤ 70 мкА
Выходной ток низкого уровня в состоянии «выключено»	$\leq -250 $ мкА
Время задержки распространения сигнала при $C_H = 50$ пФ:	
от входа <i>CS</i> до выхода <i>FLS</i> ,	
от входа <i>CR</i> до выхода <i>FLR</i>	≤ 20 нс
от входа <i>RFLS</i> до выхода <i>FLS</i> ,	
от входа <i>RFLR</i> до выхода <i>FLR</i>	≤ 22 нс
от входа <i>CR</i> до выходов <i>DB</i> ,	
от входа <i>CS</i> до выходов <i>DA</i>	≤ 26 нс